



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2002-0044986  
Application Number

출원년월일 : 2002년 07월 30일  
Date of Application JUL 30, 2002

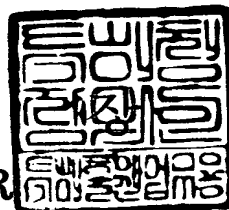
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003      02      11      일  
년      월

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0004
【제출일자】	2002.07.30
【발명의 명칭】	반도체 장치의 캐패시터 및 그 제조방법
【발명의 영문명칭】	SEMICONDUCTOR CAPACITOR AND METHOD OF FORMING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	김홍기
【성명의 영문표기】	KIM,HONG KI
【주민등록번호】	671018-1005710
【우편번호】	441-360
【주소】	경기도 수원시 권선구 고색동 거산 아파트 101동 209호
【국적】	KR
【발명자】	
【성명의 국문표기】	강호규
【성명의 영문표기】	KANG,HO KYU
【주민등록번호】	610929-1011930
【우편번호】	449-910
【주소】	경기도 용인시 구성면 보정리 진산마을 삼성5차 503동 1002호
【국적】	KR

## 【발명자】

【성명의 국문표기】 박문한  
【성명의 영문표기】 PARK,MOON HAN  
【주민등록번호】 670123-1675511  
【우편번호】 449-846  
【주소】 경기도 용인시 수지읍 풍덕천리 1167 진산마을 삼성5차 아파트 523동 1101호  
【국적】 KR

## 【발명자】

【성명의 국문표기】 윤명근  
【성명의 영문표기】 YOON,MYONG GEUN  
【주민등록번호】 690114-1550915  
【우편번호】 137-130  
【주소】 서울특별시 서초구 양재동 11-82 103호  
【국적】 KR

## 【발명자】

【성명의 국문표기】 원석준  
【성명의 영문표기】 WON,SEOK JUN  
【주민등록번호】 700217-1067321  
【우편번호】 151-057  
【주소】 서울특별시 관악구 봉천7동 1603-25번지 1동 8반  
【국적】 KR

## 【발명자】

【성명의 국문표기】 정용국  
【성명의 영문표기】 JEONG,YONG KUK  
【주민등록번호】 720108-1811223  
【우편번호】 151-061  
【주소】 서울특별시 관악구 봉천11동 161-B01호  
【국적】 KR

## 【발명자】

【성명의 국문표기】 김경훈  
【성명의 영문표기】 KIM,KYUNG HUN  
【주민등록번호】 700113-1109126  
【우편번호】 442-470

**【주소】** 경기도 수원시 팔달구 영통동 황골마을쌍용아파트 243동 1903호  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
임창현 (인) 대리인  
권혁수 (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 10 면 10,000 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 18 항 685,000 원  
**【합계】** 724,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

물리 기상 증착법(PVD법) 및 화학 기상 증착법(CVD법)을 함께 적용하여 형성된 캐패시터의 상부전극을 포함하는 반도체 장치의 캐패시터 및 그 제조방법이 개시된다. 캐패시터의 상부전극을 형성함에 있어서 CVD법을 이용한 제1 상부전극을 형성한 후에 PVD법을 이용한 제2 상부전극을 형성하거나, 또는 PVD법을 이용한 제1 상부전극을 형성한 후에 CVD법을 이용한 제2 상부전극을 형성할 수 있다. 캐패시터의 상부전극을 CVD법과 PVD법을 사용하여 2 단계로 형성함으로써 빠른 속도로 상부전극을 두껍게 형성할 수 있을뿐만 아니라, 전기적인 특성도 열화되지 않는 상부전극을 형성할 수 있다.

**【대표도】**

도 3

**【색인어】**

캐패시터, CVD법, PVD법, 셀 영역, 주변 영역

**【명세서】****【발명의 명칭】**

반도체 장치의 캐패시터 및 그 제조방법{SEMICONDUCTOR CAPACITOR AND METHOD OF FORMING THE SAME}

**【도면의 간단한 설명】**

도 1은 종래기술에 의한 컨캐이브형의 캐패시터를 포함하는 반도체 장치를 나타내는 단면도,

도 2는 본 발명에 따른 컨캐이브형의 캐패시터를 포함하는 반도체 장치를 나타내는 단면도,

도 3 내지 도 7은 본 발명에 따른 컨캐이브형의 캐패시터의 제조방법을 설명하는 단면도들, 및

도 10은 본 발명에 따른 PVD법으로 상부전극을 형성할 때에 기판 바이어스 인가 여부에 따른 누설전류 특성을 측정한 그래프이다.

\*도면의 주요 부분에 대한 부호의 설명

20, 120 : 제1 층간절연막

28, 128 : 제2 층간절연막

40, 140 : 제3 층간절연막

26a, 26b, 26c, 26d, 126a, 126b, 126c, 126d : 제1 층간절연막 내에 형성된 콘택

46a, 146a : 제3 층간절연막 내에 형성된 콘택

46b, 46c, 146b, 146c : 제3 및 제2 층간절연막 내에 형성된 콘택

30, 130 : 하부전극

32, 132 : 유전체막

34, 134a, 134b : 상부전극

36, 136 : 캐패시터

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<13> 본 발명은 반도체 장치의 캐패시터 및 그 제조방법에 관한 것으로, 상세하게는 물리 기상 증착법(Physical Vapor Deposition; 이하 PVD법이라 함) 및 화학 기상 증착법(Cheical Vapor Deposition; 이하 CVD법이라 함)을 함께 적용하여 형성된 상부전극들 포함하는 반도체 장치의 캐패시터 및 그 제조방법에 관한 것이다.

<14> 반도체 기억 소자들의 집적도가 증가함에 따라 기억정보의 기본단위인 1비트를 기억시키는 메모리 셀의 면적은 작아지고 있다. 메모리 셀의 축소에 비례하여 캐패시터의 면적은 감소 시킬 수는 없는 바, 이는 센싱(sensing) 신호 마진(signal margin),  $\alpha$ -입자에 의한 소프트 에러(Soft Error)에 대한 내구성 등을 위해서는 단위 셀당 일정 이상의 충전용량이 필요하기 때문이다. 제한된 셀 면적 내에 메모리 캐패시터의 용량(C)을 적정값 이상 유지시키기 위한 방법은  $C = \epsilon A_s / d$  ( $\epsilon$ : 유전률,  $A_s$ : 전극의 표면적,  $d$ : 유전체 두께)와 같이, 첫째는 유전체 두께( $d$ )를 감소시키는 방법, 둘째는 전극의 표면적( $A_s$ )을 증가시키는 방법, 셋째는 유전율( $\epsilon$ )이 높은 재료를 사용하는 방법이 고려되어 왔다.

<15> 이 가운데, 첫째 방법인 유전체의 박막화로 유전체 두께( $d$ )를 감소시키는 방법은 유전체 두께가 감소함에 따라 누설전류가 증가하기 때문에 한계가 있다. 따라

서, 주로 두 번째 방법인 캐패시터의 구조를 단순 스택 구조, 컨케이브 구조, 실린더 구조, 다중 핀 구조 등과 같이 3차원 구조로 하여 전극의 표면적(As)을 증가시키는 방법과 셋째 방법인 (Ba,Sr)TiO<sub>3</sub>(BST), (Pb,Zr)TiO<sub>3</sub>(PZT), Ta<sub>2</sub>O<sub>5</sub> 등과 같이 유전률( $\epsilon$ )이 높은 재료를 사용하는 방법이 이용된다.

<16> 실린더 구조(또는 컨케이브 구조) 캐패시터는 3차원 구조를 가지는 스택 구조 캐패시터에서 하부전극의 스택 높이가 높아짐에 따라서 발생하는 하부전극 식각의 어려움을 피하기 위하여 제안되었다.

<17> 도 1은 종래기술에 의한 컨케이브(실린더)형의 캐패시터를 갖는 반도체 장치를 도시한 단면도이다. 도면부호 '70'은 셀 영역을 나타내며, 도면부호 '80'은 주변 영역을 나타낸다.

<18> 도 1을 참조하면, 셀 영역(70) 및 주변 영역(80)에서는 소자 분리 영역(4)이 형성된 기판(2) 상에 모스 트랜지스터가 배치되어 있다. 모스 트랜지스터는 게이트 전극(11) 및 소오스 및 드레인 영역(18)으로 구성되어 있다. 상기 게이트 전극(11)은 게이트 절연막(6)을 개재하여 폴리실리콘막(8) 및 실리사이드막(10)으로 구성되어 있으며, 상기 게이트 전극(11)의 측벽에는 스페이서(14)가 형성되어 있다. 소오스 및 드레인 영역(18)은 저도핑 불순물 영역(12) 및 고도핑 불순물 영역(16)으로 구성된다.

<19> 상기 모스 트랜지스터를 포함하는 기판 상에는 제1 층간절연막(20)이 적층되어 있으며, 상기 제1 층간절연막(20)을 관통하여 상기 모스 트랜지스터의 소오스 및 드레인 영역(18)과 연결되는 콘택들(26a, 26b, 26c) 및 상기 게이트 전극과 연결되는 콘택(26d)이 형성되어 있다. 상기 콘택들(26a, 26b, 26c, 26d)는 각각 배리어 메탈(22) 및 텅스텐막(24)으로 구성되어 있다.



- <20>       상기 콘택들(26a, 26b, 26c, 26d)를 포함하는 제1 층간절연막(20) 상에는 제2 층간절연막(28)이 적층되어 있다. 셀 영역(70)에서는 상기 제2 층간절연막(28)을 관통하여 상기 콘택(26a)를 노출시키는 컨케이브 홀(29)이 형성되어 있다. 상기 컨케이브 홀(29)의 내부에는 상기 콘택(26a)와 연결되는 캐패시터(36)가 배치되어 있다. 상기 캐패시터는 하부전극(30), 유전체막(32), 및 상부전극(34)으로 구성되어 있다.
- <21>       셀 영역(70)에는 캐패시터(36)가 형성된 제2 층간절연막(28) 상에는 제3 층간절연막(40)이 적층되어 있다. 한편, 주변 영역(80)에는 제2 층간절연막(28) 및 제3 층간절연막(40)이 연속으로 적층되어 있다.
- <22>       셀 영역(70)에는 상기 제3 층간절연막(40)을 관통하여 상기 캐패시터의 상부전극(30)과 전기적으로 연결되는 콘택(46a)이 형성되어 있으며, 상기 콘택(46a)은 배선(52a)과 연결된다. 상기 제3 층간절연막(40) 및 제2 층간절연막(28)을 관통하여 상기 콘택(26b)과 전기적으로 연결되는 비트라인 콘택(46b)이 형성되어 있으며, 상기 비트라인 콘택(46b)은 비트라인(52b)과 연결된다. 한편, 주변 영역(80)에는 상기 제3 층간절연막(40) 및 상기 제2 층간절연막(28)을 관통하여 상기 콘택(26c, 26d)과 전기적으로 연결되는 콘택(46c, 46d)이 형성되어 있다. 상기 콘택들(46c, 46d)은 각각 배선들(52c, 52d)과 연결되어 있다. 상기 비트라인 및 배선들(52a, 52b, 52c, 52d)는 각각 배리어메탈(48) 및 도전막(50)으로 구성되어 있다.
- <23>       상술한 CUB(Capacitor Under Bitline) 구조의 컨케이브(실린더) 캐패시터를 갖는 반도체 장치에서는 상기 콘택들(46a, 46b, 46c, 46d)를 형성하기 위하여 제3 층간절연막을 식각하여 상기 상부전극(30)의 표면을 노출시키는 개구부(41a)와 상기 제3 층간절연

막 및 제2 층간절연막을 식각하여 상기 콘택들(26b, 26c, 26d)를 노출시키는 개구부(41b)를 동시에 형성한다.

<24> 그런데, 상기 콘택들(26b, 26c, 26d)를 노출시키는 개구부(41b)는 상기 상부전극(30)을 노출시키는 개구부(41a)보다 더 깊게 형성되기 때문에 상기 캐패시터의 상부전극(34)이 과식각 될 수가 있다.

<25> 따라서, 상기 상부전극(34)의 두께를 두껍게 형성하면서도, 수율 향상을 위하여 빠르게 상부전극을 형성하는 방법이 요구되고 있다.

<26> 한편, 디램 셀에 저장되는 데이터는 캐패시터에 저장된 전하량으로 보존되며, 정기적인 리프레시(refresh) 동작을 통해 데이터를 유지하고 있다. 즉, 디램이 제대로 동작하려면 리프레시 주기동안 저장 전하량의 유실이 없어야 하므로, 누설전류가 발생하지 않는 캐패시터가 요구되고 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<27> 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로, 캐패시터의 상부전극을 빠른 속도로 형성하면서도 전기적 특성이 우수한 캐패시터 및 그 제조방법을 제공하는데 목적이 있다.

<28> 또한, 상기 캐패시터를 적용한 반도체 장치 및 그 제조방법을 제공하는데 목적이 있다.

#### 【발명의 구성 및 작용】

<29> 상기 목적을 달성하기 위하여, 본 발명의 캐패시터는 기판 상에 형성된 캐패시터의 하부전극, 상기 하부전극 상에 적층된 유전체막, 및 상기 유전체막 상에 CVD법 또는 ALD

법(Atomic Layer Deposition, 원자막 증착법)을 이용하여 형성된 상부전극 및 PVD법을 이용하여 형성된 상부전극을 포함한다.

<30> 본 발명에 있어서, CVD법 또는 ALD법을 이용하여 제1 상부전극을 형성한 후에 PVD법을 이용하여 제2 상부전극을 형성할 수 있으며, 또는 PVD법을 이용하여 제1 상부전극을 형성한 후에 CVD법 또는 ALD법을 이용하여 제2 상부전극을 형성할 수 있다.

<31> 특히, PVD법으로 이용한 상부전극을 먼저 형성하는 경우에 있어서는 PVD법을 적용할 때에 기판에 바이어스 전력을 인가하지 않고, 타겟에만 바이어스 전력을 공급하여 상부전극을 형성하는 것이 바람직하다. 이 경우에는 누설전류 특성이 개선되는 효과가 있다.

<32> 상술한 목적, 특징들 및 장점은 첨부된 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해 질 것이다. 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 일 실시예를 상세히 설명한다.

<33> 도 2는 본 발명에 따른 컨캐이브형의 캐패시터를 포함하는 반도체 장치를 나타내는 단면도이다.

<34> 도 2를 참조하면, 셀 영역(170)에서는 소자 분리 영역(104)이 형성된 기판(102) 상에 모스 트랜지스터가 배치되어 있다. 모스 트랜지스터는 게이트 전극(111) 및 소오스 및 드레인 영역(118)으로 구성되어 있다. 상기 게이트 전극(111)은 게이트 절연막(106)을 개재하여 폴리실리콘막(108) 및 실리사이드막(110)으로 구성되어 있으며, 상기 게이트 전극(111)의 측벽에는 스페이서(114)가 형성되어 있다. 소오스 및 드레인 영역(118)은 저도핑 불순물 영역(112) 및 고도핑 불순물 영역(116)으로 구성된다. 상기 모스 트랜

지스터를 포함하는 기판 상에는 제1 층간절연막(120)이 적층되어 있으며, 상기 제1 층간절연막(120)을 관통하여 상기 소오스 영역(118)을 연결하는 스토리지 콘택(126a)과 상기 드레인 영역(118)을 연결하는 콘택(126b)이 형성되어 있다. 상기 콘택들(126a, 126b)은 배리어 메탈(122) 및 텅스텐막(124)으로 구성된다. 상기 콘택들(126a, 126b)를 포함하는 제1 층간절연막(120) 상에는 제2 층간절연막(128)이 적층되어 있으며, 상기 제2 층간절연막(128)을 관통하여 상기 스토리지 콘택(126a)를 노출시키는 컨케이브 홀(129)이 형성되어 있다. 상기 컨케이브 홀(129)의 내부에는 상기 스토리지 콘택(126a)과 연결되는 캐패시터(136)가 배치되어 있다. 상기 캐패시터는 하부전극(130), 유전체막(132), 및 제1 상부전극(134a) 및 제2 상부전극(134b)으로 구성되어 있다. 상기 제1 상부전극(134a)은 CVD법을 이용하여 형성할 수 있으며, 상기 제2 상부전극(134b)은 PVD법을 이용하여 형성할 수 있다. 또는, 이와 반대로 상기 제1 상부전극(134a)은 PVD법으로 형성할 수 있으며, 상기 제2 상부전극(134b)은 CVD법으로 형성할 수 있다. 상기 캐패시터(136)가 형성된 제2 층간절연막(128) 상에는 제3 층간절연막(140)이 적층되어 있다. 상기 제3 층간절연막(140)을 관통하여 상기 캐패시터의 상부전극(130)과 전기적으로 연결되는 콘택(146a)이 형성되어 있으며, 상기 콘택(146a)은 배선(152a)과 연결된다. 상기 제3 층간절연막(140) 및 제2 층간절연막(128)을 관통하여 상기 콘택(126b)과 전기적으로 연결되는 비트라인 콘택(146b)이 형성되어 있으며, 상기 비트라인 콘택(146b)은 비트라인(152b)과 연결된다. 상기 배선(152a) 및 비트라인(152a)은 배리어메탈(148) 및 도전막(150)으로 구성된다.

<35> 한편, 주변 영역(180)에는 기판 상에 모스 트랜지스터가 배치되어 있으며, 상기 모스 트랜지스터를 포함하는 기판 상에 제1 층간절연막(120)이 적층되어 있다. 상기 제1

층간절연막(120)을 관통하여 상기 모스 트랜지스터의 소오스 및 드레인 영역(118) 또는 게이트 전극(111)과 연결되는 콘택들(126c, 126d)이 형성되어 있다. 상기 콘택들(126c, 126d)이 형성된 제1 층간절연막(120) 상에는 제2 층간절연막(128) 및 제3 층간절연막(140)이 연속적으로 적층되어 있다. 상기 제3 층간절연막(140) 및 상기 제2 층간절연막(128)을 관통하여 상기 콘택들(126c, 126d)과 전기적으로 연결되는 콘택들(146c, 146d)이 형성되어 있다. 상기 콘택들(146c, 146d)은 각각 배선들(152c, 152d)과 연결되어 있다.

<36> 상술한 구조에서는 캐패시터의 상부전극(134a, 134b)을 노출시키는 개구부(141a)와 상기 콘택들(126b, 126c, 126d)을 노출시키는 개구부(141b)를 동시에 형성하여도 과식각에 상부전극이 전될 수 있는 구조이다. 이는 상기 상부전극(134a, 134b)이 과식각을 전될 수 있을 만큼 충분히 두껍게 형성되어 있기 때문이다.

<37> 이하, 상술한 구조를 갖는 캐패시터의 제조방법을 도 3 내지 도 7을 참조하여 설명한다. 도면에서는 이해의 편의를 위하여 캐패시터와 관련된 부분만 도시한다.

<38> 도 3을 참조하면, 기판(102)에 활성영역을 정의하는 소자 분리 영역(104)을 형성한다. 상기 소자 분리 영역(104)이 형성된 기판 상에 게이트 절연막(104), 게이트 도전막(108) 및 실리사이드막(110)을 차례대로 적층한 후에 패터닝하여 게이트 절연막(104)을 개재한 게이트 전극(111)을 형성한다. 상기 게이트 전극(111) 및 소자 분리 영역(104)을 이온 주입의 마스크로 이용하여 상기 기판의 활성영역에 저농도 불순물 영역(112)을 형성한다. 이어서, 게이트 전극(111)이 형성된 기판 전면에서 스페이서 절연막을 형성하고, 이방성 건식식각하여 상기 게이트 전극(111)의 측벽에 스페이서(114)를 형성한다. 상기 스페이서(114)가 형성된 게이트 전극(111) 및 소자 분리 영역(104)을 이온 주입 마스크

로 이용하여 상기 기판의 활성영역에 고농도 불순물 영역(116)을 형성한다. 상기 저농도 불순물 영역(112) 및 고농도 불순물 영역(116)은 모스 트랜지스터의 소오스 및 드레인 영역(118)이 된다. 모스 트랜지스터가 형성된 기판 전면에 제1 층간절연막(120)을 적층한 후에 상기 제1 층간절연막(120)을 선택적으로 식각하여 상기 소오스 및 드레인 영역(118)을 노출시키는 개구부(125)를 형성한다. 상기 개구부(125)의 내부 및 상기 제1 층간절연막(120)의 상부에 배리어 메탈(122) 및 텅스텐막(124)을 적층하고, 상기 텅스텐막(124) 및 상기 배리어 메탈(122)을 상기 제1 층간절연막의 상부가 노출될 때까지 화학 기계적 연마하여 상기 개구부를 채우는 콘택들(126a, 126b)를 형성한다. 상기 콘택들(126a, 126b)를 포함하는 제1 층간절연막(120) 상에 제2 층간절연막(128)을 적층한 후에 상기 제2 층간절연막(128)을 통상의 사진식각 공정으로 선택적으로 식각하여 상기 콘택들(126a, 126b)의 상면을 노출시키는 개구부(129)를 형성한다.

<39>       이어서, 상기 개구부(129)의 내부 및 상기 제2 층간절연막(128)의 상면에 콘포멀하게 하부전극 도전층(130)을 형성한다. 상기 하부전극 도전층(130)은 폴리실리콘, 티타늄 질화막(TiN), 탄탈륨 질화막(TaN), 텅스텐 질화막(WN) 등의 금속질화막 또는 루테튬(Ru), 백금(Pt), 이리듐(Ir) 등의 노블금속 중에서 선택된 어느 하나 또는 이들의 조합으로 50~2000Å의 두께로 형성할 수 있다.

<40>       도 4를 참조하면, 상기 하부전극 도전층(130) 상에 상기 개구부(129)를 충분히 채우는 감광막 또는 산화막으로 이루어진 희생막(131)을 형성한다. 상기 희생막(131) 및 상기 하부전극 도전층(130)을 상기 제2 층간절연막(128)의 표면이 노출될 때까지 식각하여 하부전극 패턴을 형성한다. 상기 하부전극 패턴(130)을 형성한 후에는 습식세정 또는

산소가 함유된 열처리 또는  $\text{NH}_3$ ,  $\text{N}_2$  플라즈마 등 질소가 함유된 분위기에서 열처리를 실시할 수 있다.

<41> 도 5를 참조하면, 상기 개구부 내에 잔존하는 희생막(131)을 습식 또는 건식식각으로 제거한다. 이어서, 상기 하부전극 패턴(130) 및 제2 층간절연막(128) 상에 콘포멀하게 유전체막(132)을 형성한다. 상기 유전체막(132)은 실리콘 산화막( $\text{SiO}_2$ ), 실리콘 질화막( $\text{SiN}$ ), 알루미늄 산화막( $\text{AlO}$ ), 탄탈륨 산화막( $\text{TaO}$ ), 티타늄 산화막( $\text{TiO}$ ), 하프늄 산화막( $\text{HfO}$ ), 지르코늄 산화막( $\text{ZrO}$ ), BST, PZT 등의 유전막 중에서 선택된 어느 하나 또는 이들의 조합으로 10~1000 Å의 두께로 형성할 수 있다. 상기 유전체막(132)을 형성한 후에는  $\text{O}_2$ ,  $\text{O}_3$ ,  $\text{N}_2\text{O}$ ,  $\text{H}_2\text{O}$ 의 산소가 함유된 가스 분위기 또는  $\text{N}_2$ , Ar 등의 불활성 가스 분위기에서 열처리를 수행할 수 있다.

<42> 도 6을 참조하면, 상기 유전체막(132) 상에 콘포멀하게 제1 상부전극(134a)을 형성한다. 상기 제1 상부전극(134a)은 티타늄 질화막( $\text{TiN}$ ), 탄탈륨 질화막( $\text{TaN}$ ), 텅스텐 질화막( $\text{WN}$ ) 등의 금속질화막 또는 루테튬( $\text{Ru}$ ), 백금( $\text{Pt}$ ), 이리듐( $\text{Ir}$ ) 등의 노블금속 중에서 선택된 어느 하나 또는 이들의 조합으로 100~2000 Å의 두께로 형성할 수 있으며, 형성방법으로는 CVD법 또는 PVD법으로 형성할 수 있다.

<43> 도 7을 참조하면, 상기 제1 상부전극(134a) 상에 제2 상부전극(134b)을 형성한다. 형성방법은 상기 제1 상부전극(134a)의 형성방법에 따라서 달라진다. 즉, 상기 제1 상부전극(134a)이 CVD법 또는 ALD법으로 형성한 경우에는 상기 제2 상부전극(134b)은 PVD법으로 형성한다. 이와 다르게, 상기 제1 상부전극(134a)이 PVD법으로 형성한 경우에는 상기 제2 상부전극(134b)은 CVD법 또는 ALD법으로 형성한다. 이와 같이 상부전극을 CVD법(또는 ALD법)과 PVD법을 사용하여 2단계로 형성함으로써 상부전극의 두께를 빠른 속도로

두겹게 형성할 수 있을뿐만 아니라, 콘포멀하게 상부전극을 형성할 수 있다. 상기 제2 상부전극(134b) 상에는 실리콘 질화막 또는 실리콘 산질화막으로 구성된 반사방지막(137)을 형성할 수 있다. 상기 반사방지막(137)은 식각저지막으로 작용할 수 있는데, 두께는 400 내지 500 Å으로 형성할 수 있다.

<44> 도 8을 참조하면, 상기 캐패시터(136)가 형성된 제2 층간절연막(128) 상에 제3 층간절연막(140)을 형성한다. 이어서, 상기 제3 층간절연막(140)을 선택적으로 식각하여 상기 캐패시터의 상부전극(134b)을 노출시키는 개구부(141a)를 형성함과 동시에 상기 제3 층간절연막(140) 및 상기 제2 층간절연막(120)을 식각하여 상기 콘택(126b)을 노출시키는 개구부(141b)를 형성한다. 상기 상부전극을 노출시키는 개구부(141a)는 과식각되는데, 상술한 바와 같이 상기 상부전극(134a, 134b)이 PVD법과 CVD법(또는 ALD법)을 이용하여 충분히 두겹게 형성되므로 과식각에 견딜 수가 있다.

<45> 도 9를 참조하면, 상기 개구부들(141a, 141b)의 내부 및 상기 제3 층간절연막(140) 상에 배리어 메탈(142) 및 텅스텐막(144)을 적층하고, 상기 제3 층간절연막이 노출될 때까지 화학 기계적 연마하여 콘택들(146a, 146b)을 형성한다. 이어서, 상기 콘택(146a, 146b)을 포함하는 제3 층간절연막 상에 배리어 메탈(148) 및 도전막(150)을 적층한 후에 패터닝하여 배선(152a) 및 비트라인(152b)을 형성한다.

<46> 상술한 바와 같이 본 발명의 캐패시터(136)는 하부전극(130), 유전체막(132), 제1 상부전극(134a) 및 제2 상부전극(134b)로 구성되며, 상부전극은 CVD법(또는 ALD법)과 PVD법을 혼용하여 형성하다. 즉, CVD법 또는 ALD를 사용하여 제1 상부전극을 형성한 후에 PVD법을 사용하여 제2 상부전극을 형성할 수 있거나 또는 PVD법을 사용하여 제1 상부전극을 형성한 후에 CVD법 또는 ALD법을 사용하여 제2 상부전극을 형성할 수 있다.



<47> 그런데, PVD법으로 제1 상부전극을 형성하고, CVD법으로 제2 상부전극을 형성하는 경우에는 실험적으로 데이터 "0"의 시간에 따른 데이터 유지 특성은 우수하다. 반면에, 음의 전압을 인가할 때에는 누설전류가 증가하여 데이터 "1"의 시간에 따른 데이터 유지 특성이 나빠진다.

<48> 이와 같이 음의 전압을 인가할 때에 누설전류가 증가하는 열화현상의 원인은 PVD법으로 제1 상부전극을 형성할 때의 플라즈마 손상에 있다고 판단된다. 따라서, PVD법으로 제1 상부전극을 형성할 때에 기판에 바이어스 전력을 인가하지 않고 타겟에만 인가한 경우와 타겟 및 기판에 바이어스 전력을 인가한 경우의 각각의 누설전류 특성을 측정하였다.

<49> 실험에 사용된 캐패시터는 다음과 같은 조건에서 형성하였다.

<50> 먼저 하부전극은 높이 8000Å이며, 단축의 폭은  $0.2\mu\text{m}$ 이며 장축의 폭은  $0.6\mu\text{m}$ 인 컨케이브 홀 내에 형성하였다. 형성방법은 티타늄 질화막(TiN)을 MOCVD법을 사용하여 두께 200Å로 형성하였다.

<51> 상기 하부전극 상에는 유전체막으로 탄탈륨 산화막( $\text{TaO}$ )을 60Å 증착하고 오존( $\text{O}_3$ ) 분위기에서 열처리를 한 후에, 다시 탄탈륨 질화막을 90Å 증착하고 오존( $\text{O}_3$ ) 분위기에서 열처리를 수행하였다.

<52> 상기 유전체막 상에 제1 상부전극으로 티타늄 질화막(TiN)을 PVD법으로 800Å 형성하였다. 제1 상부전극을 PVD법으로 형성할 때에 기판에 바이어스 전압을 인가하는 경우와 기판에 바이어스 전압을 인가하지 않은 경우로 나누어 각각 공정을 진행하였다.

- <53> 이어서, 상기 제1 상부전극 상에 제2 상부전극으로써 티타늄 질화막(TiN)을 MOCVD 법으로 400 Å 형성하였다.
- <54> 도 10은 상기 조건하에 형성된 캐패시터의 누설전류 특성을 측정한 그래프이다.
- <55> 상술한 공정 조건을 가진 캐패시터의 누설전류 특성을 비교한 결과 기판에 바이어스 전력을 인가하지 않고 제1 상부전극을 형성한 캐패시터(Plasma-2)가 기판에 바이어스 전력을 인가하여 제1 상부전극을 형성한 캐패시터(Plasma-1)에 대비하여 음극 인가전압(applied voltage)에서 누설전류(leakage current) 특성이 크게 개선된 것을 확인할 수 있었다.
- <56> 표 1은 상술한 공정 조건에서 컨케이브 홀의 단축의 측벽과 컨케이브 홀의 바닥에서의 제1 상부전극(이하 "PVD-TiN"이라 함)과 제2 상부전극(이하 "CVD-TiN"이라 함)의 증착두께를 비교한 것이다.

<57> 【표 1】

상부전극의 두께(Å)		PVD-TiN에 기판 바이어스를 적용한 경우(Plasma-1)		PVD-TiN에 기판 바이어스를 적용하지 않은 경우(Plasma-2)	
컨케이브 홀의 바닥에 인접한 측벽 두께(Å)	PVD-TiN	400	~0	470	70
	CVD-TiN		400		400
바닥 두께(Å)	PVD-TiN	590	390	510	310
	CVD-TiN		200		200

- <58> 표 1을 참조하면, 제1 상부전극(PVD-TiN)을 형성할 때에 기판 바이어스의 인가여부에 상관없이 컨케이브 홀의 측벽 및 바닥에서의 제2 상부전극(CVD-TiN)의 증착 두께(각각 400 Å 및 200 Å)는 동일하다.

- <59> 다만, 제1 상부전극(PVD-TiN)에서 두께가 차이가 나는 것을 알 수 있다. 즉, 제1 상부전극(PVD-TiN)을 형성할 때에 기판에 바이어스 전압을 인가하지 않은 제1 상부전극

(Plasma-2)에는 컨캐이브 홀의 측벽에는 약 70Å 정도의 PVD-TiN이 형성되지만, 기판에 바이어스 전압을 인가한 제1 상부전극(Plasma-1)에는 PVD-TiN이 컨캐이브 홀의 측벽에는 거의 형성되지 않음을 알 수 있다.

<60> 결국, 기판에 바이어스 전력을 인가하지 않은 경우(Plasma-2)에는 컨캐이브 홀의 측벽에도 제2 상부전극(PVD-TiN)이 형성되므로 누설전류 특성이 개선된다. 즉, PVD-TiN은 CVD-TiN에 대비하여 순도가 높은 막질이며, PVD-TiN 막질이 컨캐이브 홀 내에 전체적으로 증착되어 누설전류 특성이 개선된다.

<61> 또한, 표1을 참조하면, 기판에 바이어스를 인가하지 않은 경우(Plasma-2)는 기판에 바이어스를 인가한 경우(Plasma-1)에 대비하여 상대적으로 컨캐이브 홀의 바닥에 더 얇은 상부전극이 형성된다. 컨캐이브 홀이 좁아지고, 상대적으로 바닥에 증착되는 상부전극의 두께가 두꺼울수록 컨캐이브 홀의 바닥에서 상부전극의 리프팅(lifting)이 빈번하게 발생할 수 있다. 기판에 바이어스 전력을 인가하지 않은 경우(Plasma-2)에는 컨캐이브 홀 바닥에서 상대적으로 얇은 두께의 상부전극을 형성할 수 있으므로, 리프팅의 발생을 억제할 수 있는 효과가 있다.

<62> 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

**【발명의 효과】**

<63>       상기와 같이 이루어진 본 발명은 컨케이브 또는 실린더형의 캐패시터를 형성함에 있어서, 상부전극을 CVD법과 PVD법을 사용하여 2단계로 형성함으로써 상부전극의 두께를 빠른 속도로 두껍게 형성할 수 있을뿐만 아니라, 전기적인 특성도 열화되지 않는 상부전극을 형성할 수 있다.

**【특허청구범위】****【청구항 1】**

기판 상에 형성된 캐패시터의 하부전극;

상기 하부전극 상에 적층된 유전체막; 및

상기 유전체막 상에 CVD법으로 형성된 상부전극 및 PVD법으로 형성된 상부전극으로 구성된 캐패시터의 상부전극을 포함하는 캐패시터.

**【청구항 2】**

제 1 항에 있어서,

상기 CVD법으로 형성된 상부전극 및 PVD법으로 형성된 상부전극은 티타늄 질화막(TiN), 탄탈륨 질화막(TaN), 텅스텐 질화막(WN), 루테튬(Ru), 백금(Pt), 이리듐(Ir) 중에서 선택된 어느 하나 또는 이들의 조합인 것을 특징으로 하는 캐패시터.

**【청구항 3】**

제 1 항에 있어서,

상기 상부전극은 CVD법으로 형성된 상부전극 및 PVD법으로 형성된 상부전극이 차례대로 적층되어 있는 것을 특징으로 하는 캐패시터.

**【청구항 4】**

제 1 항에 있어서,

상기 상부전극은 PVD법으로 형성된 상부전극 및 CVD법으로 형성된 상부전극이 차례대로 적층되어 있는 것을 특징으로 하는 캐패시터.

**【청구항 5】**

제 1 항에 있어서,

상기 캐패시터는 컨케이브형인 것을 특징으로 하는 캐패시터.

**【청구항 6】**

기판에 실린더형의 캐패시터의 하부전극을 형성하는 단계;

상기 하부전극 상에 유전체막을 형성하는 단계; 및

상기 유전체막 상에 CVD법 및 PVD법을 혼용하여 상부전극을 형성하는 단계를 포함하는 캐패시터의 제조방법.

**【청구항 7】**

제 6 항에 있어서,

상기 상부전극은 티타늄 질화막(TiN), 탄탈륨 질화막(TaN), 텅스텐 질화막(WN), 루테튬(Ru), 백금(Pt), 이리듐(Ir) 중에서 선택된 어느 하나 또는 이들의 조합으로 형성하는 것을 특징으로 캐패시터 제조방법.

**【청구항 8】**

제 6 항에 있어서,

상기 상부전극을 형성하는 단계는,

CVD법을 사용하여 제1 상부전극을 형성한 후에 PVD법을 사용하여 제2 상부전극을 형성하는 것을 특징으로 하는 캐패시터의 제조방법.

**【청구항 9】**

제 6 항에 있어서,

상기 상부전극을 형성하는 단계는,

PVD법을 사용하여 제1 상부전극을 형성한 후에 CVD법을 사용하여 제2 상부전극을 형성하는 것을 특징으로 하는 캐패시터의 제조방법.

**【청구항 10】**

제 9 항에 있어서,

상기 PVD법을 사용하여 제1 상부전극을 형성할 때에 타겟에만 바이어스 전력을 인가하여 형성하는 것을 특징으로 하는 캐패시터의 제조방법.

**【청구항 11】**

도전영역이 형성된 기판 상에 충전절연막을 형성하는 단계;

상기 충전절연막을 선택적으로 식각하여 상기 도전영역을 노출시키는 컨케이브 홀을 형성하는 단계;

상기 컨케이브 홀의 내부 및 상기 충전절연막 상에 하부전극 도전막을 형성하는 단계;

상기 하부전극 도전막을 패터닝하여 상기 컨케이브 홀의 바닥 및 측벽에 하부전극 패턴을 형성하는 단계;

상기 하부전극 패턴 상에 유전체막을 형성하는 단계;

상기 유전체막 상에 PVD법으로 제1 상부전극을 형성하는 단계; 및

상기 제1 상부전극 상에 제2 상부전극을 형성하는 단계를 포함하는 캐패시터의 제조방법.

【청구항 12】

제 11 항에 있어서,

상기 PVD법으로 제1 상부전극을 형성하는 단계는,

타겟에만 바이어스 전력을 공급하여 형성하는 것을 특징으로 하는 캐패시터의 제조방법.

【청구항 13】

제 11 항에 있어서,

상기 제2 상부전극은 CVD법 또는 ALD법으로 형성하는 것을 특징으로 하는 캐패시터의 제조방법.

【청구항 14】

모스 트랜지스터가 형성된 기판 상에 제1 층간절연막을 형성하는 단계;

상기 제1 층간절연막을 관통하여 모스 트랜지스터의 드레인 영역을 노출시키는 제1 개구부 및 모스 트랜지스터의 소오스 영역을 노출시키는 제2 개구부를 형성하는 단계;

상기 제1 개구부 및 제2 를 도전물질로 채워 제1 콘택 및 제2 콘택을 형성하는 단계;

상기 제1 콘택 및 제2 콘택을 포함하는 제1 층간절연막 상에 제2 층간절연막을 형성하는 단계;



상기 제2 층간절연막을 관통하여 상기 제1 콘택을 노출시키는 컨케이브 홀을 형성하는 단계;

상기 컨케이브 홀의 내부 및 상기 제2 층간절연막 상에 콘포멀하게 하부전극 도전막을 형성하는 단계;

상기 하부전극 도전막을 패터닝하여 상기 컨케이브 홀의 바닥 및 측벽에 실린더형의 하부전극을 형성하는 단계;

상기 하부전극 상에 유전체막을 형성하는 단계; 및

상기 유전체막 상에 PVD법 및 CVD법을 사용하여 상부전극을 형성하는 단계를 포함하는 반도체 장치의 제조방법.

#### 【청구항 15】

제 14 항에 있어서,

상기 캐패시터가 형성된 제2 층간절연막 상에 제3 층간절연막을 형성하는 단계;

상기 제3 층간절연막을 관통하여 상기 캐패시터의 상부전극을 노출시키는 제3 개구부 및 제2 콘택을 노출시키는 제4 개구부를 형성하는 단계; 및

상기 제3 개구부 및 제4 개구부를 도전물질로 채워 제3 콘택 및 제4 콘택을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 【청구항 16】

제 14 항에 있어서,

상기 상부전극은 CVD법으로 제1 상부전극을 형성한 후에 PVD법으로 제2 상부전극을 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 17】

제 14 항에 있어서,

상기 상부전극은 PVD법으로 제1 상부전극을 형성한 후에 CVD법으로 제2 상부전극을 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

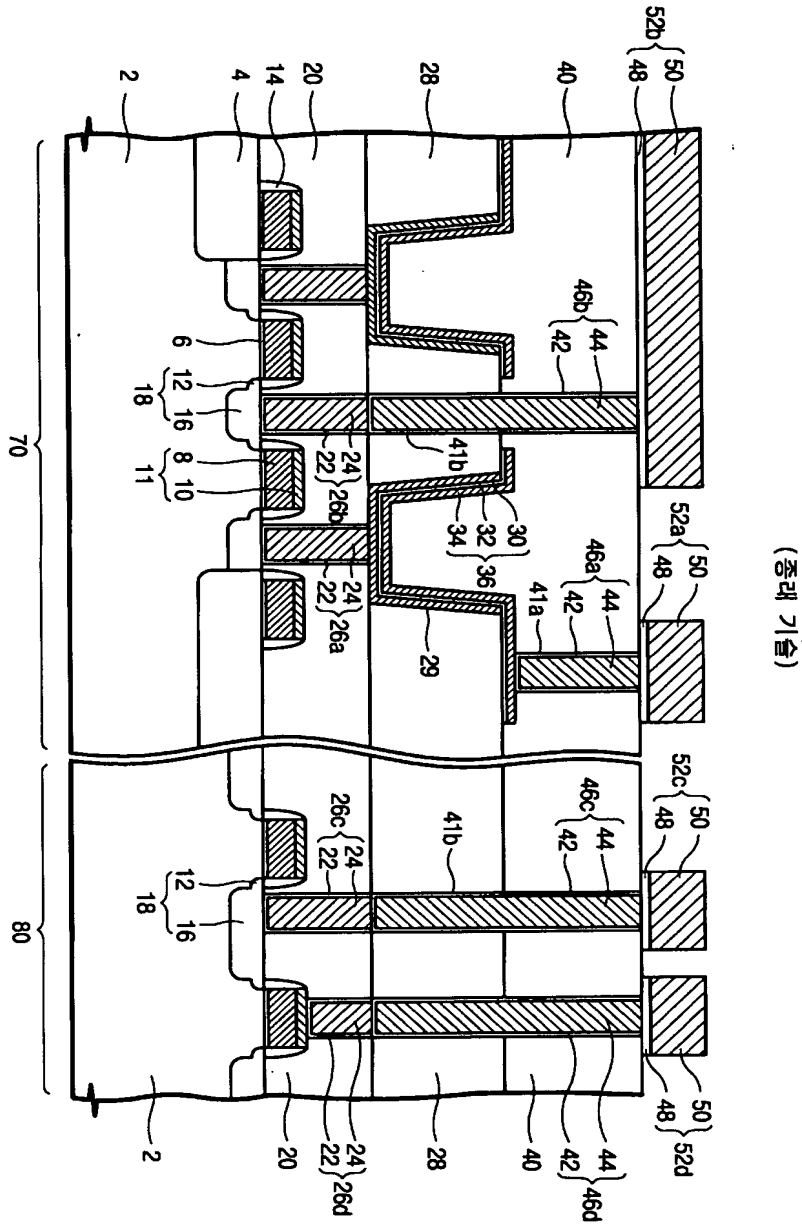
【청구항 18】

제 17 항에 있어서,

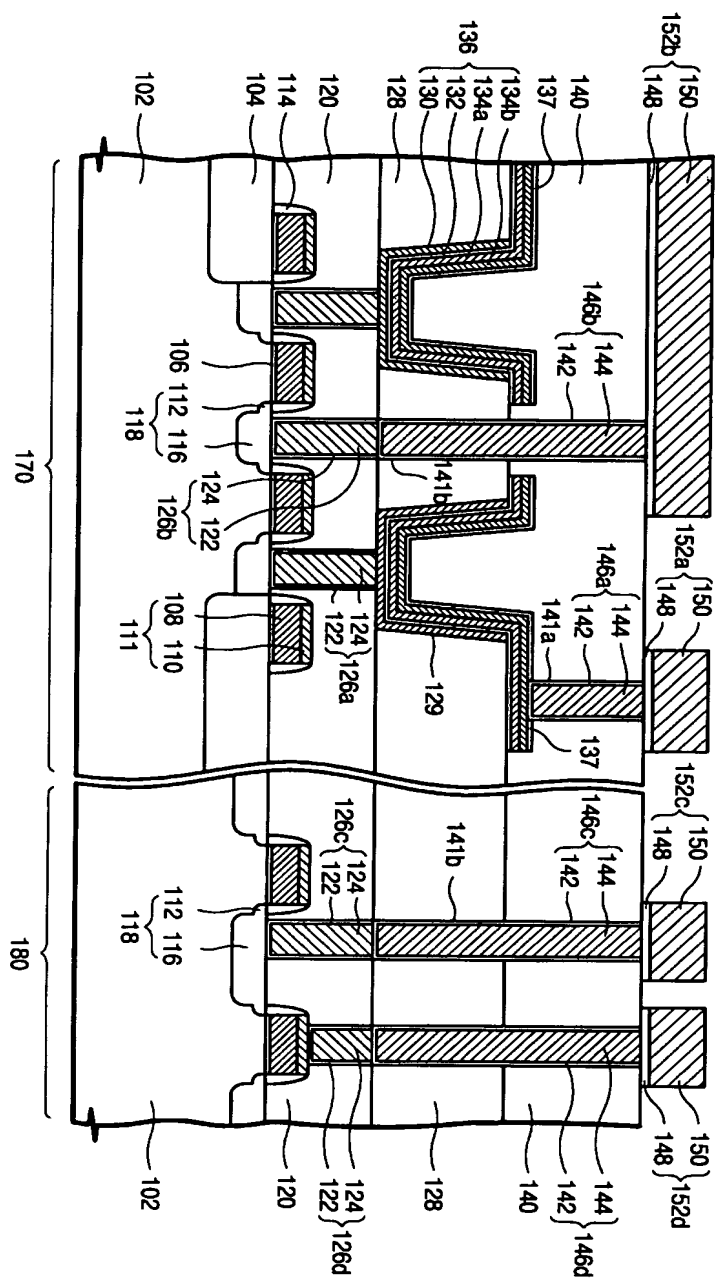
상기 PVD법으로 제1 상부전극을 형성할 때에는 타겟에만 바이어스 전력을 인가하는 것을 특징으로 하는 반도체 장치의 제조방법.

【도면】

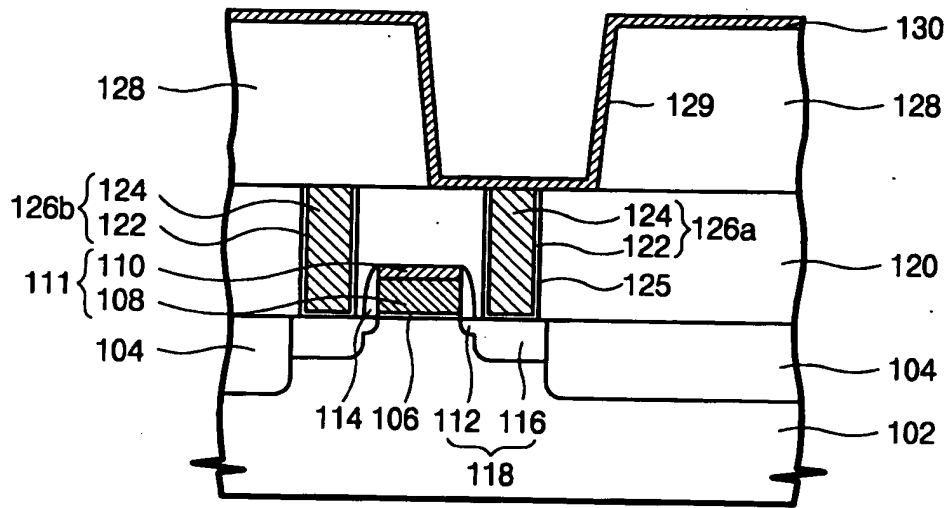
【도 1】



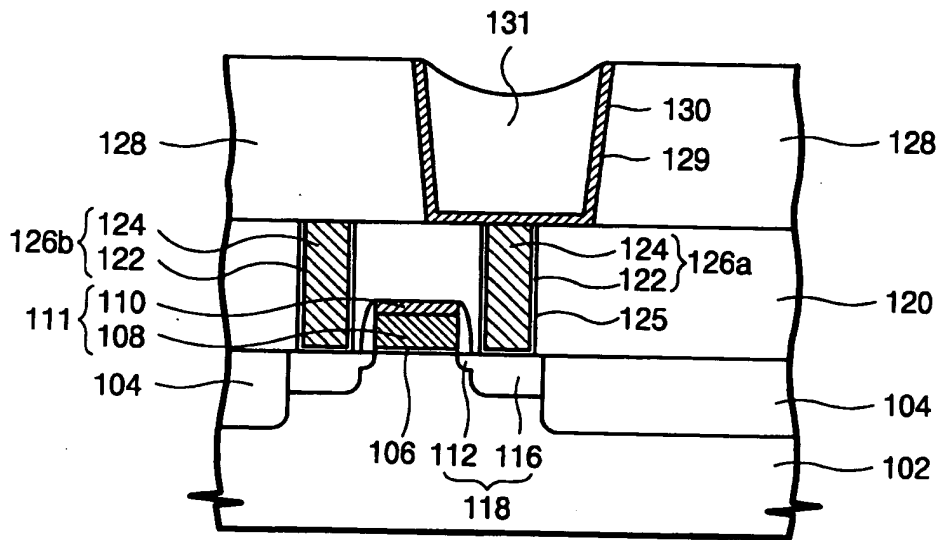
【도 2】



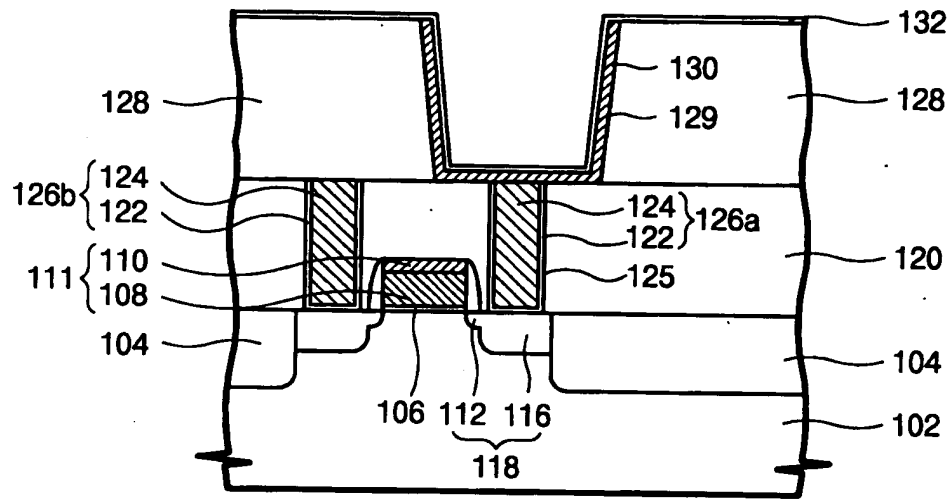
【도 3】



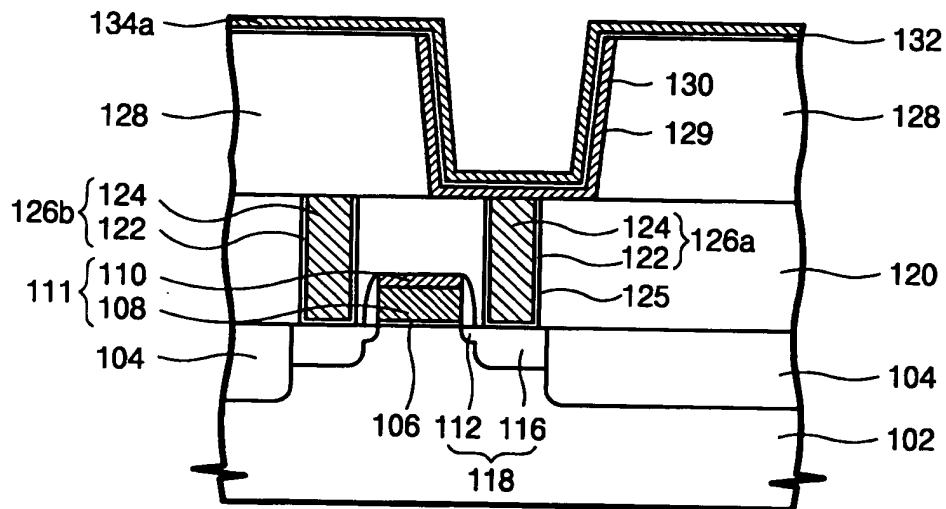
【도 4】



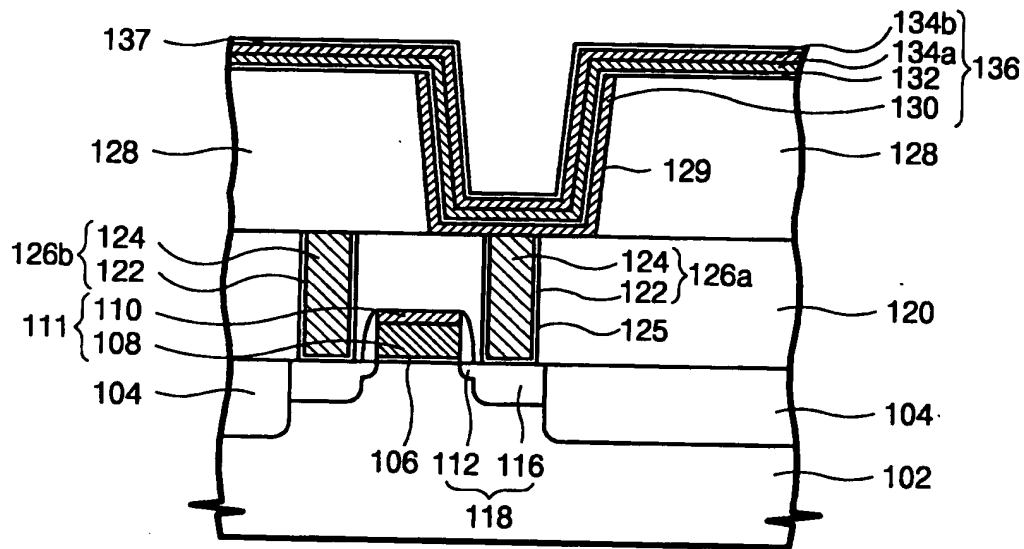
【도 5】



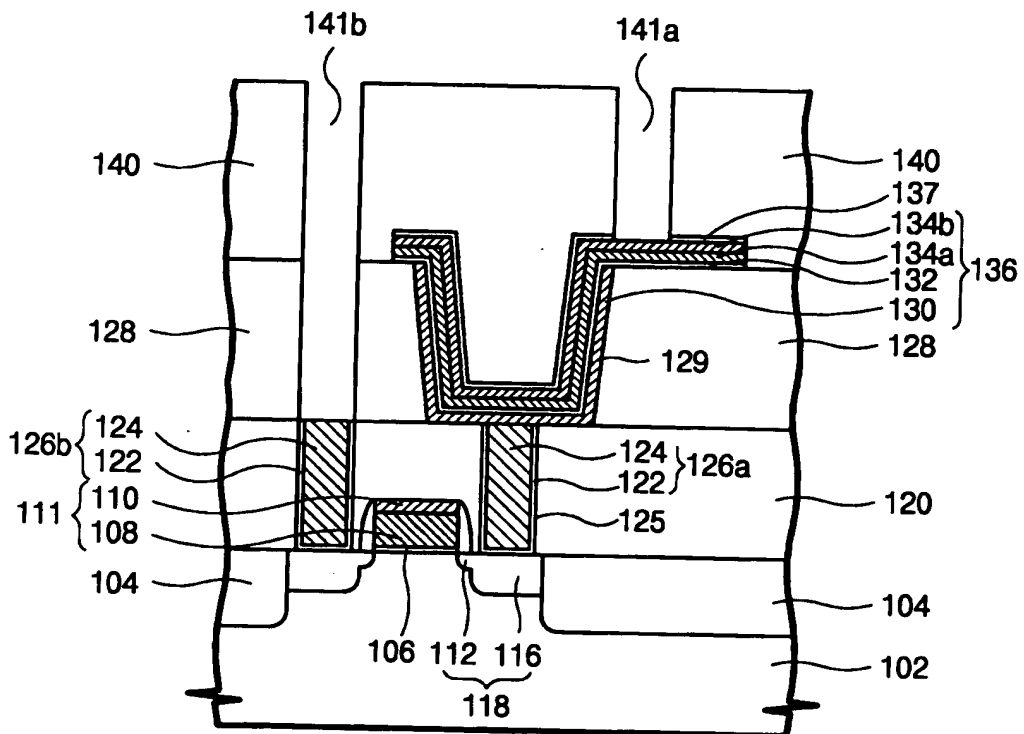
【도 6】



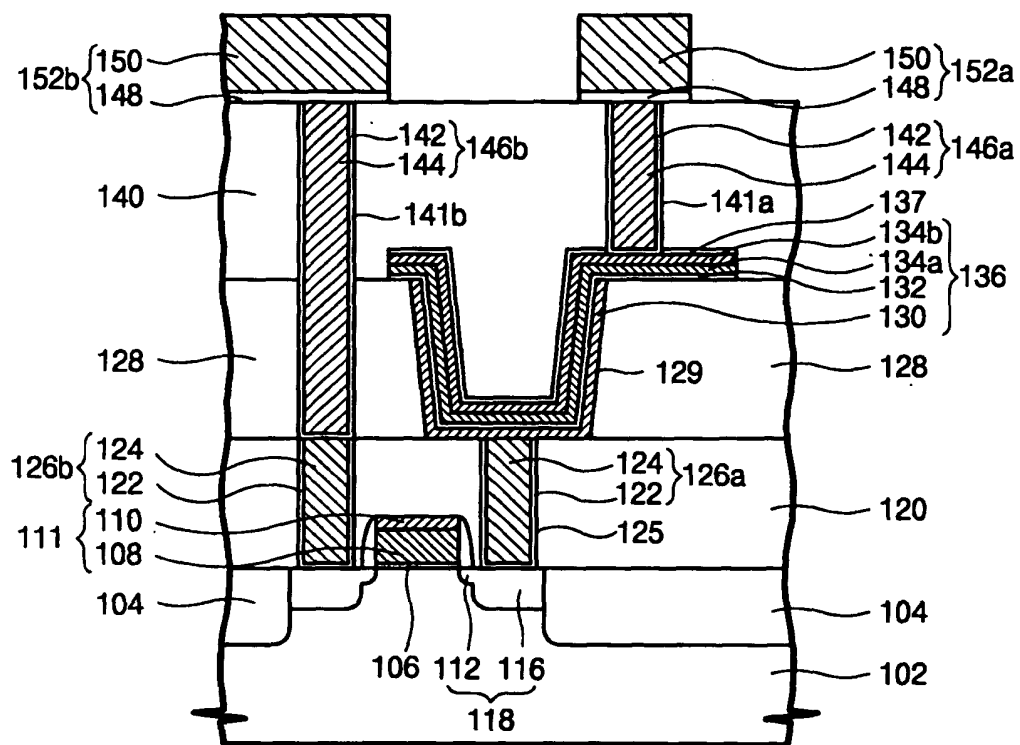
【도 7】



【도 8】



【도 9】



【도 10】

